

## 明 細 書

### パッケージされた電子素子、及び電子素子パッケージの製造方法

#### 技術分野

- [0001] 本発明は、密閉された内部空間に電子素子を備える電子素子パッケージおよびその製造方法に関する。

#### 背景技術

- [0002] 従来より、半導体素子、表面弾性波素子、その他様々な電子素子を、大気中に存在する水分や酸素等の影響から守る一手法として、容器の内部に電子素子を収納し、容器内部を密閉して電子素子を封止する技術が知られている。このような電子素子を内部空間に配置して封止した電子素子デバイスでは、容器内部の気密性(密閉性)を向上させて水分等の浸入をより確実に防止するための様々な技術が提案されている。
- [0003] 特許文献1では、半導体加速度センサにおいて、端子板をハウジングの外部に導出するための切り欠き溝を接着剤で封止した後にハウジングの内部を脱気し、脱気用の封止孔を熱圧着してセンサチップを封止する技術が開示されている。なお、容器が金属製の場合には、容器を構成する部材同士の接合および封止にはんだが用いられることもある。
- [0004] 又、例えば、底面に電子素子が実装されたキャビティ(凹部)を有するセラミック基板の開口部を金属製の蓋で覆い、セラミック基板と金属蓋とをはんだやガラスパウダー等を用いて接合および封止することが行われている。
- [0005] 一方、フリップチップボンディングにより搭載された電子素子と基板との空隙を密閉して電子素子を封止する技術も利用されている。例えば、特許文献2では、弾性表面波装置の製造において、基板上の複数の弾性表面波素子に対して樹脂を2段階に分けて塗布することにより、気泡の噛み込みを抑制しつつ粘性の高い樹脂により弾性表面波素子を封止する技術が開示されている。特許文献3では、表面弾性波デバイスの製造において、パッケージ基板上にフリップチップ接続された表面弾性波チップを低融点ガラスを用いて封止することにより、樹脂を用いて封止する場合に比べて高

い気密性を得る技術が開示されている。さらに、特許文献4では、回路部品を密閉空間内に収納する電子回路モジュールの製造において、抵抗やコンデンサ等の回路部品が実装されたフレキシブル回路基板が内面に貼り付けられた箱形ケースに、回路部品が実装された面を内側に向けて硬質回路基板を嵌め込むことにより、ケース内部の空隙部を有効に活用する技術が開示されている。

特許文献1: 特開平11-237401号公報

特許文献2: 特開2003-142972号公報

特許文献3: 特開2003-110402号公報

特許文献4: 特開昭61-278198号公報

## 発明の開示

### 発明が解決しようとする課題

- [0006]   ところで、樹脂は水分や酸素に対する気密性の程度が余り高くないため、封止材として樹脂を用いると電子素子の種類によっては適正な封止、またはパッケージ化が実現されない場合がある。上記特許文献3に開示されているように低融点ガラスにより封止したり、あるいは、容器を構成する部材をはんだやガラスパウダーにて接合する場合は、高い気密性を得ることができる反面、例えば約260℃の高温で低融点ガラスやはんだを溶融するための加熱処理が必要となり、耐熱性の低い電子素子の封止には適していない。特に、化合物半導体等の電子素子は耐熱性が低いため、高温加熱により損傷する可能性が高い。
- [0007]   また、このような加熱処理により容器内部を密閉して封止する場合には、容器を形成する蓋等の部材にも耐熱性が要求されるため、樹脂等を材料として使用することが困難となり、容器コストの低減にも限界がある。
- [0008]   又、近年の電子機器の小型化に伴って電子素子の微小化が進み、微小な電子素子の配置の更なる高密度化も求められている。上記特許文献4に開示される電子回路モジュールでは、容器内部にフレキシブル回路基板を収納することが前提となっているため、ICのベアチップ等の微小な電子部品に対してフレキシブル回路基板が相対的に厚くなり、電子素子の微小化に合わせた高密度化およびパッケージの小型化が困難となる。

[0009] 本発明は、上記課題に鑑みなされたものであり、パッケージされた電子素子において電子素子を低温、好ましくは室温以上150℃以下にて密閉空間に収納可能なパッケージされた電子素子を提供することを目的とし、さらに、微小な電子素子の高密度な配置に適した、パッケージされた電子素子、さらに、このようなパッケージ化電子素子の製造方法を提供することを目的とする。

#### 課題を解決するための手段

[0010] 本発明の第1態様のパッケージされた電子素子によれば、  
電子素子と、  
上記電子素子を実装される第1容器部材と、  
上記電子素子を収納する空間を上記第1容器部材と共に形成する第2容器部材と、  
、  
上記第1容器部材及び上記第2容器部材を接合して上記空間を密閉する接着剤と、  
、  
上記接着剤の露出面を覆う金属膜と、を備えた。

[0011] 又、本発明の第2態様のパッケージ化電子素子の製造方法によれば、  
電子素子を実装された第1容器部材と、上記電子素子を収納する空間を上記第1容器部材と共に形成する第2容器部材とを接着剤にて接合して上記空間を密閉し、  
上記接着剤の露出面を金属膜にて覆う。

[0012] 本発明の第3態様のパッケージされた電子素子によれば、  
電子素子と、  
上記電子素子を実装される第1容器部材と、  
上記電子素子を収納する空間を上記第1容器部材と共に形成する第2容器部材と、  
、  
上記第1容器部材及び上記第2容器部材を接合して上記空間を密閉する金属層であって、上記第1容器部材の第1金属部と上記第2容器部材の第2金属部とにエネルギー波を照射して上記第1金属部及び上記第2金属部を互いに接触させることにより形成される金属層と、を備えた。

[0013] 又、本発明の第4態様のパッケージ化電子素子の製造方法によれば、

電子素子が実装された第1容器部材と、上記電子素子を収納する空間を上記第1容器部材と共に形成する第2容器部材とを、上記空間を密閉する金属層にて接合するとき、

上記第1容器部材の第1金属部、及び上記第2容器部材の第2金属部の表面にエネルギー波を照射し、

上記エネルギー波が照射された上記第1金属部及び上記第2金属部を互いに接触させることにより上記金属層を形成する。

[0014] 本発明の第5態様のパッケージされた電子素子によれば、

第1内面、該第1内面に対向する第2内面、並びに上記第1内面及び上記第2内面に垂直な側面にて密閉された内部空間を形成する容器と、

上記第1内面、上記第2内面及び上記側面のいずれかの第1実装面に実装される第1電子素子と、

上記第1内面、上記第2内面及び上記側面の内、上記第1実装面とは異なる第2実装面に実装される第2電子素子と、

上記第1実装面に対向する上記容器の外面に形成され上記第1電子素子と電氣的に接続される第1外部電極と、

上記第2実装面に対向する上記容器の外面に形成され上記第2電子素子と電氣的に接続される第2外部電極と、を備えた。

[0015] 又、本発明の第6態様のパッケージ化電子素子の製造方法によれば、

ビアを形成した蓋部材の第1実装面に上記ビアと電氣的に接続される第1電子素子を実装し、

ビアを形成し上記蓋部材とによって密閉された内部空間を形成する本体部材の第2実装面に上記ビアと電氣的に接続される第2電子素子を実装し、

上記第1電子素子及び上記第2電子素子が上記内部空間内に配置されるように上記蓋部材と上記本体部材とを接合して上記内部空間を密閉した電子素子パッケージを形成する。

#### 発明の効果

[0016] 上記第1態様及び第2態様の構成によれば、接着剤にて第1容器部材と第2容器

部材とを接着することから、低温にて、電子素子を密閉空間に収納することができる。  
又、接着剤の露出面を金属膜にて覆うことから、ピンホールを塞ぎ気体や水分等が接着剤を通過するのを防止できる。よって、高い信頼性にて内部空間を密閉することができる。

[0017] 上記第3態様及び第4態様の構成によれば、第1金属部及び第2金属部の表面にエネルギー波を照射し、上記第1金属部及び上記第2金属部を互いに接触させることにより形成される金属層にて第1容器部材と第2容器部材とを接合し、密閉した内部空間を形成することから、低温にて、電子素子を密閉空間に収納することができ、又、金属層部分では気体や水分等の通過が無いことから、高い信頼性にて内部空間を密閉することができる。

[0018] 上記第5態様及び第6態様の構成によれば、内部空間を形成する容器の内面あるいは側面に電子素子を実装し、さらに上記電子素子と電気的に接続された外部電極を容器外面に設けたことより、微小な電子素子を高密度に配置することができる。

#### 図面の簡単な説明

[0019] [図1]図1は、本発明の第1実施形態に係るパッケージされた電子素子の構成を示す断面図、

[図2]図2は、パッケージされた電子素子の製造工程を示す図、

[図3]図3は、第2実施形態に係るパッケージされた電子素子の構成を示す断面図、

[図4]図4は、パッケージされた電子素子の製造工程を示す図、

[図5]図5は、第2実施形態に係るパッケージされた電子素子において上蓋が半導体素子である場合を示す図、

[図6]図6は、第2実施形態に係るパッケージされた電子素子の他の製造方法を説明するための図、

[図7]図7は、第3実施形態に係るパッケージされた電子素子の構成を示す断面図、

[図8]図8は、パッケージされた電子素子を示す分解斜視図、

[図9]図9は、パッケージされた電子素子の製造工程を示す図、

[図10]図10は、第4実施形態に係るパッケージされた電子素子の構成を示す断面図、

[図11]図11は、筒状部材および筒状部材に実装される半導体素子を示す分解斜視図、

[図12]図12は、パッケージされた電子素子の製造工程を示す図、

[図13]図13は、第5実施形態に係るパッケージされた電子素子の構成を示す断面図、

[図14]図14は、半導体素子の実装工程を示す図、

[図15]図15は、第6実施形態に係るパッケージされた電子素子の構成を示す断面図、

[図16]図16は、第3ー第6実施形態に係るパッケージされた電子素子を基板上に実装したときの形態を示す図、

[図17]図17は、第3ー第6実施形態に係るパッケージされた電子素子を基板上に実装したときの形態を示す図、

[図18]図18は、第3ー第6実施形態に係るパッケージされた電子素子を基板上に実装したときの形態を示す図、

[図19]図19は、第3ー第6実施形態に係るパッケージされた電子素子を基板上に実装したときの形態を示す図、

[図20]図20は、第3ー第6実施形態に係るパッケージされた電子素子を基板上に実装したときの形態を示す図、

[図21]図21は、第3ー第6実施形態に係るパッケージされた電子素子を基板上に実装したときの形態を示す図である。

#### 符号の説明

- [0020] 1 パッケージ化電子素子、 2 カバー部材、 3 接着剤、  
3b 金属粒子、 4 被膜、 9 基板、 21 罅部、  
22 吸湿剤、 23 凹部、 71 半導体素子、  
90 内部空間、  
101 パッケージ化電子素子、 102 蓋部材、 103 金属層、  
109 基板、 131 基板金属部、 132 蓋金属部、  
171 半導体素子、 190 内部空間、

201, 201a, 201b, 201c パッケージ化電子素子、  
202 上蓋部材、203 下蓋部材、204, 204a 筒状部材、  
210 容器、211 内部空間、212 キャビティ基板、  
213 キャビティ、221 上面、223 外部電極、  
224 ビア、231 下面、233 外部電極、234 ビア、  
241 側面、251 金属層、261 半導体素子、  
271 半導体素子、272 チップ部品、  
2511, 2512 金属部。

### 発明を実施するための最良の形態

[0021] 以下に、本発明の実施形態を説明するが、添付図面において同じ部品については同じ参照符号を付している。

[0022] 第1実施形態；

図1は、本発明の一の実施の形態に係る電子素子パッケージ1の構成を示す断面図である。尚、本明細書において、電子素子パッケージとは、パッケージそのものを指すのではなく、電子素子をパッケージ内に収納した電子素子収納済のパッケージを意味し、パッケージされた電子素子、あるいはパッケージ化電子素子とも記す。

電子素子パッケージ1は、内部に電子素子である半導体素子71が封止されたパッケージ、すなわち、電子素子を密閉空間内に設けてパッケージ化したものであり、平坦な基板9、基板9上に実装される半導体素子71、並びに、半導体素子71の側方および上方(基板9とは反対側)を囲むように基板9に取り付けられることにより半導体素子71が収納される空間(以下、「内部空間」という。)90を基板9と共に形成するカバー部材2を備える。尚、以下の各実施形態において、上記電子素子とは、シリコン基板から形成される上記半導体素子を含むとともに、さらに半導体素子以外の素子、例えばセラミック素子や、センサ類、水晶基板の素子、SAWフィルタ、等の素子をも含む概念である。

[0023] 基板9は、半導体素子71が実装される側の主面9a、および、内部空間90とは反対側の面である基板9の裏面9bに電極9c等が形成された多層基板であり、低温焼成セラミック(以下、「LTCC(Low Temperature Cofired Ceramics)」という。)により形成

され、通常のセラミック(LTCCと区別するために、以下、「HTCC(High Temperature Cofired Ceramics)」という。)製の基板とは形成プロセスを異にする。

- [0024] 半導体素子71は、いわゆるベアICチップであり、半導体素子71の下面のランド上に形成された金属のバンプ72が基板9上の電極に電氣的に接合されることにより基板9に実装される。基板9の表裏両面の電極は適宜、ビア9d等にて互いに電氣的に接続されており、電子素子パッケージ1が基板9の裏面9bを他の外部基板に実装することにより、電極9cを介して外部基板と半導体素子71とが電氣的に接続される。
- [0025] カバー部材2はプラスチック等の樹脂により、凹部23を有する器状に形成され、カバー部材2の凹部23が基板9を覆うようにして基板9に取り付けられることにより、内部空間90が形成される。カバー部材2の凹部23の縁には基板9に沿って内側に向かう鍔部21が形成されている。
- [0026] 電子素子パッケージ1では、基板9とカバー部材2の鍔部21とが、例えばエポキシ樹脂、アクリル樹脂、フェノール樹脂等の樹脂材であって150℃以下の温度にて硬化する熱硬化性樹脂を主成分とするとともに銀(Ag)の粒子3bを含む接着剤3、いわゆる、銀ペーストを介して接着されて内部空間90が密閉される。上記銀粒子に代えて銅(Cu)等の他の金属粒子3bであってもよい。また、接着剤3の露出面3aおよびカバー部材2の外側の表面は、ニッケル(Ni)および金(Au)の被膜4により覆われる。尚、被膜4は、ニッケル、金に限定するものではなく、他の金属であってもよい。よって、接着剤3におけるピンホール等の気体及び水分の通過通路がふさがれ、内部空間90の気密性を維持することができる。さらに、内部空間90にはカバー部材2に取り付けられた、例えば酸化マグネシウム等にてなる吸湿剤22が設けられる。よって、内部空間90を確実に除湿することができる。
- [0027] 図2は、電子素子パッケージ1の製造工程を示す図である。電子素子パッケージ1が製造される際には、まず、半導体素子71が基板9上の所定の実装位置に載置され、バンプ72と基板9の電極とが当接した状態で、半導体素子71が基板9に向かって押圧されつつ超音波振動が付与されることにより、バンプ72と電極とが接合されて基板9に実装される(ステップS11)。半導体素子71の実装は他の手法により行われてもよく、例えば、異方導電性樹脂フィルム又はペーストや、非導電性樹脂フィルム又



はペーストを介して行われてもよい。さらには、パンプ72および基板9の電極にエネルギー波を照射して真空中で接合する、いわゆる、常温接合が採用されてもよい。なお、パンプ72は基板9の電極上に形成されていてもよい。実装される半導体素子71の個数は複数であってもよい。又、半導体素子71に限定されず、後述のようにその他の電子素子であってもよい。

[0028] 続いて、カバー部材2の内側であって基板9に取り付けられた際に基板9と対向する面、すなわち、凹部23の底面23aに吸湿剤22が取り付けられる(ステップS12)。その後、基板9の主面9a上のカバー部材2が接着される接着位置および/または、カバー部材2の鏝部21の基板9の主面9aに対向する面21aに接着剤3が塗布され、カバー部材2が接着剤3を介して基板9に取り付けられる。カバー部材2が取り付けられた基板9は比較的低温な150℃以下、好ましくは、約120℃〜130℃にて加熱処理され、接着剤3が硬化し、基板9とカバー部材2とが接着されて内部空間90が密閉される(ステップS13)。これにより、内部空間90が吸湿剤22により確実に除湿され、耐湿信頼性が向上する。

[0029] また、カバー部材2の鏝部21と基板9とが接着されるため、鏝部21がない場合に比べて接着される面積が大きく、基板9とカバー部材2との接合がより安定する。その結果、内部空間90の密閉の信頼性が向上される。なお、鏝部21は凹部23の外側を向くように形成されてもよい。

[0030] 次に、基板9の裏面9bの少なくとも電極部分がマスク材により被覆された後、電子素子パッケージ1に無電解メッキが施され、ニッケルメッキ層および金メッキ層(以下、「メッキ層」と総称する。)が順次形成されて電子素子パッケージ1、およびマスク材の表面が覆われる。電子素子パッケージ1では、無電解メッキを利用することメッキ層である金属膜を容易に形成することができる。さらに、接着剤3に銀粒子が含まれているため、接着剤3の外側の表面においてニッケルメッキ層が安定して成長しやすく、即ち、メッキが乗りやすく、金属膜をより容易に形成することができる。

[0031] 電子素子パッケージ1のメッキが終了すると、電子素子パッケージ1からマスク材が除去され、マスク材により被覆された部位以外の表面にのみメッキ層が残されることによりニッケルおよび金により形成される被膜4を有する電子素子パッケージ1の製造が

完了する(ステップS14)。

- [0032] 以上に説明したように、電子素子パッケージ1では、低温、即ち通常のはんだやガラスパウダー接合に比べて低温であり、好ましくは、室温以上150℃以下にて硬化する接着剤3により基板9とカバー部材2とが接着され、半導体素子71が収納された内部空間90が密閉される。その結果、耐熱性の低い半導体素子71であっても熱による損傷を与えることなく低温にて密閉空間内に収納することができる。また、セラミックや金属等に比べて耐熱性の低い安価な樹脂製のカバー部材2を使用することができ、電子素子パッケージ1の製造コストを削減することができる。
- [0033] 電子素子パッケージ1では、接着剤3の外側の表面、つまり露出面3aが金属の被膜4に覆われるため、水分等が接着剤3を通過して内部空間90に浸入することが防止され、樹脂を主成分とする接着剤3の表面が外気中に露出している場合に比べて内部空間90の気密性を向上することができる。また、樹脂製のカバー部材2の外側の表面も金属の被膜4にて覆われるため、ピンホールのない高い信頼性にて密閉された内部空間90が実現される。
- [0034] また、電子素子パッケージ1では、平坦な基板9上に実装された半導体素子71が凹部23を備える(凹状であることを含む。)カバー部材2により密封されるため、基板9に、凹部23に相当するキャビティを形成する工程を省略することができ、電子素子パッケージ1の製造コストを削減することができる。特に、HTCCに比べてキャビティの形成にコストを要するLTCC製の基板9を用いる場合に、電子素子パッケージ1の製造コストを大きく削減することができる。
- [0035] 以上、本発明の実施の形態について説明してきたが、本発明は上記実施の形態に限定されるものではなく、様々な変更が可能である。例えば、電子素子パッケージ1の製造終了時点において内部空間90に存在するガスの水分含有量が十分に少ない場合には、吸湿剤22は省略されてもよい。
- [0036] カバー部材2は、製造コスト削減の観点からは樹脂により形成されることが好ましいが、金属やセラミック等の他の材料により形成されてもよい。基板9およびカバー部材2はそれぞれ、キャビティを有する基板、いわゆる、「キャビティ基板」、および、キャビティの開口部を覆う平坦な蓋であってもよい。この場合であっても、基板9とカバー部

材2とを接着剤3により接着し、接着剤3の外側の表面を金属の被膜4により覆うことにより、気密性の高い電子素子パッケージ1を低温にて製造することができる。

[0037] 電子素子パッケージ1の製造工程において加熱処理を極力避けたい場合には、光硬化性樹脂等の加熱処理なしに硬化する接着剤3が、基板9とカバー部材2との接着に用いられる。この場合であっても、被膜4が無電解メッキにより接着剤3の外側の表面に形成されて、内部空間90の気密性が向上される。

[0038] 被膜4の形成は、作業の容易性および製造コストの削減という観点から無電解メッキにより行われることが好ましいが、接着剤3として導電性接着剤を使用している場合には電解メッキにより行うことも可能である。また、スパッタにより金属の被膜4が形成されてもよい。

[0039] 第2実施形態；

図3は、本発明の第2実施形態に係る電子素子パッケージ101の構成を示す断面図である。電子素子パッケージ101は、内部に電子素子である半導体素子171が封止されたパッケージ、すなわち、電子素子を密閉空間内に設けてパッケージ化したものであり、凹部に相当するキャビティ199を有する基板109、いわゆる「キャビティ基板」、キャビティ199の底面に実装される半導体素子171、および、キャビティ199の開口部を塞いで基板109に取り付けられることにより半導体素子171が収納される空間（以下、「内部空間」という。）190を基板109と共に形成する平坦な板状の蓋部材102を備える。

[0040] 基板109および蓋部材102は、プラスチック等の樹脂により形成される。また、基板109は、半導体素子171が実装される、キャビティ199の底面に相当する基板109の主面109a、および、内部空間190とは反対側の面である基板109の裏面109bに電極109c等が形成された多層基板である。半導体素子171は、いわゆるベアICチップであり、半導体素子171の下面のランド上に形成された金属の bumps 172が基板109の主面109a上の電極に電氣的に接合されることにより基板109に実装される。基板109の表裏両面の電極は適宜、ビア109d等にて互いに電氣的に接続されており、電子素子パッケージ101が基板109側から他の外部基板に実装されることにより、電極109cを介して外部基板と半導体素子171とが電氣的に接続される。

[0041] 電子素子パッケージ101では、基板109と蓋部材102とが金(Au)により形成される金属層103により接着されることにより、内部空間190が密閉される。金属層103は、基板109側に設けられた、第1金属部に相当する基板金属部131と、蓋部材102側に設けられた、第2金属部に相当する蓋金属部132とが接合されて形成される。

[0042] 図4は、電子素子パッケージ101の製造工程を示す図である。電子素子パッケージ101が製造される際には、まず、基板109および蓋部材102のそれぞれの接着部位、すなわち、蓋部材102と対向する面である、基板109のキャビティ199の開口部の端面109c、および、内部空間190側の面である、蓋部材102の下面102aのうち基板109が接着される領域に金メッキが施され、基板金属部131および蓋金属部132が形成される(ステップS111)。

又、ステップS111では、以下のステップS114にて説明する基板金属部131及び蓋金属部132の接合が確実に行われるように、基板金属部131及び蓋金属部132は、幅が5 $\mu$ m以上、高さが5 $\mu$ m以上にて形成されるのが好ましい。

[0043] 続いて、基板109、蓋部材102および半導体素子171が、接合装置のチャンバ内に配置され、チャンバに接続される真空ポンプによりチャンバ内が減圧される。チャンバ内が減圧状態、好ましくは真空状態になると、パンプ172、および、キャビティ199の底面上の電極に、エネルギー波の一つとして、アルゴン(Ar)の高速原子ビーム(Fast Atom Beam: 以下、「FAB」という。)が照射され、パンプ172および電極の表面が洗浄される。すなわち、表面の不要な物質、つまり表面に付着、吸着している空気中の例えばカーボン汚染物質の除去および表面の活性化が行われる。尚、上記FABの照射により、約10nmの厚さにて上記表面が除去される。その後、基板109の電極にパンプ172を接触させることにより、原子間力にてパンプ172と電極とが接合されて、半導体素子171が基板109に実装される(ステップS112)。尚、上述のFAB照射、その後の金属部分同士の接合は、いわゆる表面活性化接合と呼ばれる手法である。

[0044] 半導体素子171の実装は他の手法により行われてもよく、例えば、パンプ172と基板109の電極とが当接した状態で、半導体素子171がキャビティ199の底面に向かって押圧されつつ超音波振動が付与されることによりパンプ172と電極とが接合され

て実装されてもよい。また、異方導電性樹脂フィルム、またはペーストや、非導電性樹脂フィルム、またはペーストを介して行われてもよい。なお、パンプ172は基板109の電極上に形成されていてもよい。実装される半導体素子171の個数は複数であってもよい。又、半導体素子171に代えて、後述のようにその他の電子素子であってもよい。

[0045] 次に、基板109の基板金属部131、および、蓋部材102の蓋金属部132にFABが照射され、上述のように約10nmの厚さにて基板金属部131および蓋金属部132の接合部分の表面が洗浄され、上記汚染物質が除去される(ステップS113)。このとき基板109の基板金属部131、および、蓋部材102の蓋金属部132の温度は室温以上150℃以下とされ、加熱が必要な場合にはレーザー光の照射等により加熱される。

[0046] その後、チャンバ内の減圧又は真空環境下にて基板金属部131と蓋金属部132とを互いに対向させて接触させることにより、基板金属部131と蓋金属部132とが接合されて金属層103が形成される。このように基板109と蓋部材102とが金属層103により接着され、半導体素子171が収納される内部空間190が減圧又は真空状態にて密閉されて電子素子パッケージ101が製造される(ステップS114)。なお、基板109と蓋部材102との接着は不活性ガス環境下にて行われてもよく、この場合、内部空間190には半導体素子171と共に不活性ガスが封入される。また、不活性ガス環境下における封止時にチャンバ内が減圧されてもよい。尚、上記減圧は、大気圧から1Pa(パスカル)〜10Pa程度の減圧でよい。

[0047] 以上に説明したように、電子素子パッケージ101では、通常のはんだやガラスパウダー接合に比べて低温、好ましくは、室温以上150℃以下にて基板109と蓋部材102とが接着され、半導体素子171が収納された内部空間190が密閉される。その結果、耐熱性の低い半導体素子171であっても熱による損傷を与えることなく低温にて密閉空間内に収納することができる。また、セラミックや金属等に比べて耐熱性の低い安価な樹脂製の基板109および蓋部材102を使用することができ、電子素子パッケージ101の製造コストを削減することができる。さらに、内部空間190が減圧又は真空状態あるいは不活性ガス雰囲気とされるため、半導体素子171を大気中に存在する水分や酸素等の影響から守ることができ、これらの影響による半導体素子171の性

能劣化を抑制することができる。

- [0048] 電子素子パッケージ101では、基板金属部131と蓋金属部132とが原子間の強い結合力により接合されるため、基板109と蓋部材102とが高い信頼性にて接着されるとともに高い気密性を有する内部空間190が形成される。また、基板金属部131および蓋金属部132が金により形成されるため、化学的に安定した、つまり化学変化しにくい金属層103を得ることができ、内部空間190の密閉の信頼性が向上される。
- [0049] 以上、本発明の第2実施形態について説明してきたが、本発明は上記実施の形態に限定されるものではなく、様々な変更が可能である。例えば、基板109および蓋部材102は、製造コスト削減の観点からは樹脂により形成されることが好ましいが、金属やセラミック等の他の材料により形成されてもよい。又、図5に示すように、蓋部材102は、例えばSAWフィルタ105等を形成した基板や、水晶基板等であってもよい。又、図5に示すように、基板109に形成したビア106、及びビア106と電氣的に接続される外部電極107を介して、電子素子パッケージ101は、他の基板108の電極108aと電氣的に接続される。また、金属層103は、内部空間190の密閉の信頼性向上の観点、及び耐酸化性等から金により形成されることが好ましいが、他の様々な金属により形成されてもよい。
- [0050] 基板109および蓋部材102はそれぞれ、平坦な板状の基板、および、基板上に実装された半導体素子171の側方および基板109とは反対側の上方を覆う凹部を有する蓋部材であってもよい。また、それぞれキャビティ構造を有する基板および蓋部材が、互いの開口部を塞ぐように接着されて内部空間190が形成されてもよい。
- [0051] 基板109と蓋部材102との接着時における基板金属部131および蓋金属部132の温度は、基板109に実装された半導体素子171に対する熱の影響の低減の観点から上記第2実施形態に示した範囲とされることが好ましいが、上記範囲に限定されるわけではなく、例えば、基板109に比較的耐熱性の高い半導体素子171が実装されている場合には、上記範囲より高温とされてもよい。
- [0052] 上記第2実施形態、並びに以下に説明する第3実施形態以降の各実施形態では、FABとしてアルゴンが使用されるが、窒素、水素等の他の原子もFABとして利用可能である。また、FABに代えて、イオンビーム等の他のエネルギー波により基板金属

部131および蓋金属部132の洗浄が行われてもよい。例えば、比較的短波長のエネルギー波、例えば172nmの波長を有するエキシマ紫外線や、上記洗浄効果は若干落ちるが低圧水銀ランプが発する波長250nmや365nmの光も用いることができる。又、上記エキシマ紫外線を用いた場合には、減圧若しくは真空中ではなく大気中にて洗浄処理が可能である。大気中での処理の場合、さらに、室温以上で150℃以下にて、少なくとも洗浄処理対象となる金属部分を加熱することで、該金属部分に付着する不純物の分解を促進することができ、さらに、上記金属部分の硬度を下げることができ、接合を容易化することができる。尚、減圧又は真空中にて上記洗浄処理を行うときには、上記加熱は行わなくても良い。

又、図6に示すように、図3に示す電子素子パッケージ101を複数個連なるような形態にて作製し、作製後、裁断部104にて裁断することで、個々の電子素子パッケージ101を作製することもできる。

[0053] 上述したように、電子素子パッケージ101の製造方法は、半導体素子以外の様々な種類の電子素子、特に、耐熱性が低く、かつ、耐湿性も低い電子素子の封止に適している。

[0054] 第3実施形態；

図7は、本発明の第3実施の形態に係る電子素子パッケージ201の構成を示す断面図である。電子素子パッケージ201は、内部に電子素子である半導体素子261が封止されたパッケージ、すなわち、電子素子を密閉空間内に設けてパッケージ化したものであり、2つの半導体素子261、および、2つの半導体素子261を収納する内部空間211を形成する容器210を備える。

[0055] 図8は、電子素子パッケージ201を示す分解斜視図である。容器210は、Z方向の両端に開口を有する筒状部材204、筒状部材204の軸方向における一端側である(+Z)側の開口を塞ぐ上蓋部材202、および、筒状部材204の他端側である(-Z)側の開口を塞ぐ下蓋部材203を備える。尚、上蓋部材202は第1蓋部材に相当し、下蓋部材203は第2蓋部材に相当し、下蓋部材203及び筒状部材204は、本体部材に相当する。上蓋部材202、下蓋部材203および筒状部材204は樹脂により形成される。筒状部材204の(+Z)側および(-Z)側の端面には、金(Au)により形成される。

金属部2511および2521がそれぞれ設けられる。尚、金属部2511、2521は、第2金属部に相当する。また、第1内面及び第1実装面に相当する面であり、上蓋部材202の(-Z)側の面(内部空間211の上側の面を形成する面であり、以下、「上面」という。)221、および、第2内面及び第2実装面に相当する面であり、下蓋部材203の(+Z)側の面(内部空間211の下側の面を形成する面であり、以下、「下面」という。)231のうち筒状部材204が接着される領域には、金により形成される金属部2512および2522がそれぞれ設けられる。尚、金属部2512、2522は、第1金属部に相当する。内部空間211の上面221および下面231には、半導体素子261が1つずつ実装される。尚、上面221に実装される半導体素子261が第1電子素子に相当し、下面231に実装される半導体素子261が第2電子素子に相当する。

[0056] 図7に示すように、電子素子パッケージ201では、金属部2521および2522が接合されて金属層252が形成されることにより筒状部材204と下蓋部材203とが接着され、また、金属部2511および2512が接合されて金属層251が形成されることにより筒状部材204と上蓋部材202とが接着される。このように、上蓋部材202および下蓋部材203が筒状部材204の両端の開口を塞いで取り付けられることにより、上蓋部材202、下蓋部材203および筒状部材204の内側を向く面により内部空間211が形成され、筒状部材204の内側の面241が内部空間211の側面を形成する。以下の説明では、面241を「側面」と呼ぶ。

[0057] 上蓋部材202は、内部空間211の上面221上に形成された内部電極222、および、(+Z)側の面、すなわち、容器210の外表面であって上面221に対向する面2211上に形成された外部電極223を備える多層基板であり、内部電極222と外部電極223とは上蓋部材202を貫通するビア224によって電氣的に接続される。上面221に実装される半導体素子261は、内部電極222およびビア224を介して外部電極223と電氣的に接続される。

[0058] 下蓋部材203は、下面231上に形成された内部電極232、および、(-Z)側の面、すなわち、容器210の外表面であって下面231に対向する面2311上に形成された外部電極233を備える多層基板であり、内部電極232と外部電極233とは下蓋部材203を貫通するビア234によって電氣的に接続される。下面231に実装される半導



体素子261は、内部電極232およびビア234を介して外部電極233と電氣的に接続される。

[0059] 半導体素子261は、いわゆるICのベアチップであり、半導体素子261の実装面のランド上に形成された金属のバンプ262が、上蓋部材202の内部電極222、または、下蓋部材203の内部電極232に電氣的に接合されることにより上蓋部材202または下蓋部材203に実装される。

[0060] 図9は、電子素子パッケージ201の製造工程を示す図である。電子素子パッケージ201が製造される際には、まず、上蓋部材202、下蓋部材203および筒状部材204のそれぞれの接着部位に金メッキが施され、金属部2512、2522、2511および2521が形成される(ステップS211)。

[0061] 又、ステップS211では、以下のステップS217及びステップS219にて説明する金属部2522と金属部2521との接合、及び金属部2512と金属部2511との接合が確実に行われるように、金属部2522、2521、2512、2511は、幅が $5\mu\text{m}$ 以上、高さが $5\mu\text{m}$ 以上にて形成されるのが好ましい。

[0062] 続いて、上蓋部材202、下蓋部材203、筒状部材204および2つの半導体素子261が、接合装置のロードロック内に搬入され、ロードロックに接続される真空ポンプによりロードロック内が減圧された後、予め減圧状態、好ましくは真空状態とされているチャンバ内に搬入されて所定の位置に配置される。次に、チャンバ内の減圧又は真空環境下において、1つの半導体素子261のバンプ262、および、上蓋部材202の内部電極222にアルゴン(Ar)の高速原子ビーム(Fast Atom Beam:以下、「FAB」という。)が照射され、バンプ262および内部電極222の表面が洗浄される。すなわち、表面の不要な物質、つまり表面に付着、吸着している空気中の例えばカーボン汚染物質の除去および表面の活性化が行われる。(ステップS212)。尚、上記FABの照射により、約10nmの厚さにて上記表面が除去される。このとき、バンプ262および内部電極222の温度は、表面の活性化の促進、および、高温加熱による半導体素子261の損傷防止の観点から、室温以上150℃以下とされることが好ましく、必要に応じてレーザ光の照射等により加熱される。その後、バンプ262と内部電極222とを互いに接触させる金属接合により半導体素子261が上蓋部材202に実装される(ステップ

S213)。

- [0063] もう1つの半導体素子261についても同様に、減圧又は真空環境下にて半導体素子261のバンプ262、および、下蓋部材203の内部電極232にFABが照射され(ステップS214)、バンプ262および内部電極232を互いに接触させる金属接合により下蓋部材203に実装される(ステップS215)。なお、バンプ262に代わるバンプが予め内部電極222および内部電極232上にそれぞれ形成されていてもよい。この場合、半導体素子261のランドとバンプとがFABにより洗浄された後に接合される。また、上蓋部材202への半導体素子261の実装は、下蓋部材203への実装の後に行われてもよい。
- [0064] 上蓋部材202および下蓋部材203のそれぞれに半導体素子261が実装されると、チャンバ内の減圧又は真空環境下において下蓋部材203の金属部2522、および、筒状部材204の(-Z)側の金属部2521にFABが照射され、上述のように約10nmの厚さにて両金属部の表面が洗浄される(ステップS216)。このとき両金属部は、温度が室温以上150℃以下となるよう、必要に応じてレーザ光の照射等により加熱される。続いて、金属部2522と金属部2521とを互いに接触させることにより、両金属部が金属接合されて金属層252が形成され、下蓋部材203と筒状部材204とが接着される(ステップS217)。
- [0065] 次に、減圧又は真空環境下において上蓋部材202の金属部2512、および、筒状部材204の(+Z)側の金属部2511にFABが照射され、上述のように両金属部の表面が洗浄される(ステップS218)。このとき両金属部は、温度が室温以上150℃以下となるよう、必要に応じてレーザ光の照射等により加熱される。その後、金属部2512と金属部2511とを互いに接触させることにより、両金属部が金属接合されて金属層251が形成される。下蓋部材203により(-Z)側の開口を塞がれた筒状部材204と上蓋部材202とは金属層251により接着され、2つの半導体素子261が収納される内部空間211が減圧又は真空状態にて密閉される(ステップS219)。
- [0066] 以上のように、下蓋部材203、上蓋部材202および筒状部材204が、実装された2つの半導体素子261を内側つまり内部空間211側に向けつつ接着されることにより容器210が形成されて電子素子パッケージ201が製造される。なお、半導体素子26

1の実装、および、各金属部の接合は不活性ガス環境下にて行われてもよく、この場合、半導体素子261が封止される内部空間211には不活性ガスが封入される。また、不活性ガス環境下における封止時にチャンバ内が減圧されてもよい。上記減圧は、大気圧から1Pa(パスカル)〜10Pa程度の減圧でよい。

[0067] 電子素子パッケージ201では、上面221に実装された半導体素子261と外部電極223、および、下面231に実装された半導体素子261と外部電極233とが互いに電気的に接続されているため、電子素子パッケージ201が外部基板に実装されることにより、外部基板と2つの半導体素子261とが電気的に接続される。電子素子パッケージ201の外部基板への実装は、例えば、外部電極233が異方導電性樹脂フィルムを介して外部基板上の電極と接続され、外部電極223がワイヤボンディングにより外部基板上の電極と接続されることにより行われ、複数の電子素子パッケージ201が外部基板上に高密度にて配置される。

[0068] 以上に説明したように、電子素子パッケージ201では、2つの半導体素子261が外部電極が形成された多層基板である上蓋部材202および下蓋部材203にそれぞれ直接実装されるため、パッケージの構造を微小な電子素子の高密度な配置に適したものとすることができる。また、半導体素子261がそれぞれ実装された上蓋部材202および下蓋部材203により筒状部材204の両端の開口が塞がれて容器210が形成されることにより、2つの半導体素子261が内部空間211の対向する2つの面、つまり上面221および下面231に実装されるため、電子素子パッケージ201を容易に製造することができる。

[0069] 電子素子パッケージ201では、溶接等による場合に比べて低温、即ち、通常のはんだやガラスパウダー接合に比べて低温であり、好ましくは、室温以上150℃以下、にて筒状部材204と上蓋部材202および下蓋部材203とがそれぞれ接着され、半導体素子261が収納された内部空間211が密閉される。その結果、耐熱性の低い半導体素子261であっても熱による損傷を与えることなく低温にて内部空間211に収納することができる。また、セラミックや金属等に比べて耐熱性は低いが安価な樹脂製の上蓋部材202、下蓋部材203および筒状部材204を使用することができ、電子素子パッケージ201の製造コストを削減することができる。

[0070] 電子素子パッケージ201では、各金属部2512、2511、2521、2522が原子間の強い結合力により接合されるため、各部材202、204、203同士の接着の信頼性が高められるとともに高い密閉性を有する内部空間211を形成することができる。また、金属層251および252が化学的に安定した、つまり化学変化しにくい金により形成されるため、内部空間211の密閉の信頼性が向上される。

[0071] さらに、内部空間211が減圧又は真空状態あるいは不活性ガス雰囲気とされるため、半導体素子261を大気中に存在する水分や酸素等の影響から守ることができ、これらの影響による半導体素子261の性能劣化を抑制することができる。このように、電子素子パッケージ201は、耐熱性が低く、かつ、耐湿性も低い半導体素子261の封止にも適している。

[0072] 第4実施形態；

図10は、本発明の第4実施の形態に係る電子素子パッケージ201aの構成を示す断面図である。電子素子パッケージ201aは、図7に示す電子素子パッケージ201の筒状部材204に代えて、図11に示すように、2つの半導体素子261が実装された樹脂製の筒状部材204aを備える。その他の構成は図7に示す構成と同様であり、以下の説明において同符号を付す。図10に示すように、電子素子パッケージ201aでは、内部空間211の上面221および下面231、並びに、側面のうちX方向に位置し対向する2つの面(以下、「実装側面」という。)410のそれぞれに1つずつ半導体素子261が実装され、合計4つの半導体素子261が実装される。

[0073] 図11は、筒状部材204aおよび筒状部材204aに実装される半導体素子261を示す分解斜視図である。筒状部材204aは、それぞれに1つの半導体素子261が実装される2つの側壁部材245、および、2つの側壁部材245を接続する2つの接続部材246を備える。側壁部材245の実装側面2410のうち接続部材246が接着される領域には、金(Au)により形成される金属部2531が設けられる。接続部材246の接着部位であるX方向の両端面にも同様に、金(Au)により形成される金属部2532が設けられ、金属部2531と金属部2532とが金属接合されることにより側壁部材245と接続部材246とが接着されて筒状部材204aが形成される。

[0074] 側壁部材245は、樹脂により形成される平坦な多層基板であり、図10に示すように

実装側面2410上に形成された内部電極242、および、実装側面2410の外側の面2411上に形成された外部電極243を備え、内部電極242と外部電極243とは側壁部材245を貫通するビア244によって電氣的に接続される。筒状部材204aでは、半導体素子261が側壁部材245に実装されることにより、外部電極243と電氣的に接続される。

- [0075] 図12は、電子素子パッケージ201aの製造工程の一部を示す図である。電子素子パッケージ201aが製造される際には、図9のステップS212～S219の工程に先立って図12に示す工程が実施される。まず、図11に示す側壁部材245および接続部材246のそれぞれの接着部位に金メッキが施され、金属部2531および2532が形成される(ステップS221)。
- [0076] 続いて、図10に示す上蓋部材202および下蓋部材203のそれぞれの接着部位に金メッキが施され、金属部2512および2522が形成される。また、筒状部材204aを形成する側壁部材245および接続部材246のZ方向の端面の内、互いに接着されて筒状部材204aが形成された際の筒状部材204aの接着部位に相当する部位に金メッキが施され、金属部2511および2521、正確には、筒状部材204aが形成された際に環状の金属部2511および2521となる金属部がそれぞれ形成される(ステップS222)。
- [0077] 上記の各金属部の形成が終了すると、上蓋部材202、下蓋部材203、側壁部材245、接続部材246および4つの半導体素子261が、接合装置のロードロックを経由して予め減圧、好ましくは真空状態とされているチャンバ内に配置され、2つの半導体素子261のバンプ262、および、2つの側壁部材245の内部電極242にFABが照射されて表面が洗浄される(ステップS223)。その後、バンプ262と内部電極242とを互いに接触させる金属接合により、2つの側壁部材245の実装側面2410のそれぞれに1つの半導体素子261が実装される(ステップS224)。
- [0078] 続いて、チャンバ内の減圧又は真空環境下において、図11に示す側壁部材245の金属部2531および2532にアルゴンのFABが照射され、両金属部の表面が洗浄される(ステップS225)。このとき両金属部2531、2532は、温度が室温以上150℃以下となるよう、必要に応じてレーザ光の照射等により加熱される。次に、金属部253

1と金属部2532とを互いに接触させて両金属部を金属接合する作業を繰り返して2つの側壁部材245と2つの接続部材246とが順次接着され、筒状部材204aが形成される(ステップS226)。

[0079] その後、未実装の2つの半導体素子261のうち1つの半導体素子261のバンプ262、および、上蓋部材202の内部電極222にFABが照射され(図9:ステップS212)、バンプ262と内部電極222とが金属接合されて半導体素子261が上蓋部材202に実装される(ステップS213)。同様に、もう1つの半導体素子261のバンプ262、および、下蓋部材203の内部電極232にFABが照射され(ステップS214)、バンプ262と内部電極232とが金属接合されて半導体素子261が下蓋部材203に実装される(ステップS215)。

[0080] 続いて、下蓋部材203の金属部2522、および、筒状部材204aの金属部2521にFABが照射され(ステップS216)、両金属部2522、2521が金属接合されて下蓋部材203と筒状部材204aとが接着される(ステップS217)。そして、上蓋部材202の金属部2512、および、筒状部材204aの金属部2511にFABが照射され(ステップS218)、両金属部2512、2511が金属接合されて上蓋部材202と筒状部材204aとが接着され、4つの半導体素子261が収納される内部空間211が減圧又は真空状態にて密閉される(ステップS219)。以上のように、下蓋部材203、上蓋部材202および2つの側壁部材245が、実装された半導体素子261を内側つまり内部空間211側に向けつつ互いに、あるいは、接続部材246と接着されることにより容器210aが形成され、4つの半導体素子261が収納される電子素子パッケージ201aが製造される。

[0081] なお、下蓋部材203および上蓋部材202への半導体素子261の実装は、側壁部材245と接続部材246との接着に先立って行われてもよく、また、各部材への実装の順番は適宜入れ替えられてもよい。また、上蓋部材202および下蓋部材203と筒状部材204aとの接着は不活性ガス環境下にて行われてもよく、この場合、内部空間211には不活性ガスが封入される。さらには、不活性ガス環境下における封止時にチャンバ内が減圧されてもよい。ここで上記減圧は、大気圧から1Pa(パスカル)〜10Pa程度の減圧でよい。

[0082] 以上に説明したように、電子素子パッケージ201aでは、4つの半導体素子261を

外部電極が形成された多層基板を組み合わせて形成される内部空間211の上面221、下面231および側面241つまり側壁部材245の実装側面2410に直接実装することにより、パッケージの構造を微小な電子素子の高密度な配置により適したものとすることができる。また、平坦な部材である上蓋部材202、下蓋部材203および側壁部材245に半導体素子261を実装した後に各部材を接着して容器210aを形成するため、容器210a内部に半導体素子261を容易に実装することができ、電子素子パッケージ201aを容易に製造することができる。

[0083] 電子素子パッケージ201aは、電子素子パッケージ201と同様に、耐熱性の低い半導体素子261であっても熱による損傷を与えることなく低温にて内部空間211に収納することができ、安価な樹脂製の部材を使用可能とすることで電子素子パッケージ201aの製造コストを削減することができる。

[0084] さらに、内部空間211を減圧又は真空状態あるいは不活性ガス雰囲気として半導体素子261を大気中に存在する水分や酸素等の影響から守ることができる。また、容器210aを形成する各部材が金により形成される各金属部の原子間の結合により接着されているため、高い密閉性を有する内部空間211を形成することができるだけでなく、内部空間211の密閉の信頼性も向上される。

[0085] 第5実施形態；

図13は、本発明の第5実施の形態に係る電子素子パッケージ201bの構成を示す断面図である。電子素子パッケージ201bは、半導体素子261の実装方法が異なる点を除き、図7に示す電子素子パッケージ201と同様であり、以下の説明において同符号を付す。

[0086] 図13に示す電子素子パッケージ201bでは、2つの半導体素子261はそれぞれ、内部空間211の上面221および下面231上に付与された熱硬化性を有する樹脂207を介してそれぞれの面の実装される。

[0087] 図14は、電子素子パッケージ201bの製造工程のうち半導体素子261の実装工程を示す図であり、図9中のステップS212〜S215に対応する。図13に示す電子素子パッケージ201bでは、まず、上蓋部材202の内部電極222および下蓋部材203の内部電極232上に樹脂207が付与される(ステップS231)。樹脂207は、導電性粒

子が内部に均一に分散した絶縁性樹脂により形成される異方導電性樹脂フィルム(ACF(Anisotropic Conductive Film))である。1つの半導体素子261が、上蓋部材202上に付与された樹脂207上から押圧されて加熱されることにより上蓋部材202に固着され、バンプ262が内部電極222と樹脂207内の導電性粒子を介して電氣的に接合されることにより上蓋部材202に実装される(ステップS232)。もう1つの半導体素子261も同様に、下蓋部材203に付与された樹脂207上から押圧されて加熱されることによりバンプ262が内部電極232に接続され、下蓋部材203に実装される(ステップS233)。この場合、半導体素子261の実装はチャンバ内にて行われる必要はない。

[0088] なお、樹脂207として、異方導電性樹脂ペースト(ACP(Anisotropic Conductive Paste))、非導電性樹脂フィルム(NCF(Non-Conductive Film))、あるいは、非導電性樹脂ペースト(NCP(Non-Conductive Paste))が用いられてもよく、これらの樹脂は加熱処理以外の他の処理により硬化する性質を有していてもよい。いずれの場合であっても、半導体素子261を外部電極が形成された多層基板である上蓋部材202および下蓋部材203に直接実装することができるため、電子素子パッケージ201bの構造を微小な電子素子の高密度な配置に適したものとすることができる。

[0089] 第6実施形態;

図15は、本発明の第6実施の形態に係る電子素子パッケージ201cの構成を示す断面図である。電子素子パッケージ201cは、図7に示す電子素子パッケージ201の筒状部材204、下蓋部材203および両部材を接着する金属層252に代えて、キャビティ(凹部)213を有する部材(以下、「キャビティ基板」という。)212を備える。尚、キャビティ基板212は本体部材に相当する。その他の構成は図7と同様であり、以下の説明において同符号を付す。電子素子パッケージ201cでは、キャビティ基板212と上蓋部材202とが接着されて容器210cが形成される。

[0090] キャビティ基板212は、底部となる平坦なセラミック基板上に側壁となるセラミック層を積層することにより形成される。通常、1枚のセラミック基板上に格子状に複数のキャビティが形成され、この基板を切り分けることによりキャビティ基板212が形成される。



- [0091] キャビティ基板212の底部および側壁はそれぞれ、図7に示す下蓋部材203および筒状部材204と同等の役割を果たし、キャビティ213の底面、つまりキャビティ基板212の底部の(+Z)側の面、すなわち、内部空間211の下面231には半導体素子261が実装される。電子素子パッケージ201cは、上蓋部材202の(-Z)側の面、すなわち、内部空間211の上面221となる面であってキャビティ213の開口部を塞ぐ面にもう1つの半導体素子261が実装された状態にて、上蓋部材202とキャビティ基板212とが第3実施の形態と同様の手法(図9のステップS218, S219)にて金属層251により接着されることにより内部空間211が密閉されて形成される。このため、電子素子パッケージ201cを容易に製造することができる。なお、半導体素子261の実装は第3実施の形態と同様に金属接合により行われてもよく、第5実施の形態のように樹脂を介して行われてもよい。
- [0092] 第6実施形態に係る電子素子パッケージ201cでは、図6を参照して説明したように、複数の電子素子パッケージ201cを一体的に形成した後、裁断部にて裁断することで、個々の電子素子パッケージ201cを作製することもできる。
- [0093] 以上、本発明の第3〜第6の実施の形態について説明してきたが、本発明は上述の実施形態に限定されるものではなく、様々な変更が可能である。例えば、上蓋部材202、下蓋部材203および筒状部材204は、製造コスト削減の観点からは樹脂により形成されることが好ましいが、金属やセラミック等の他の材料により形成されてもよい。また、容器210を形成する各部材を接着する金属部は、内部空間211の密閉の信頼性向上、及び空気中における耐酸化性の観点から金により形成されることが好ましいが、他の様々な金属により形成されてもよい。
- [0094] 上記実施の形態では、FABとしてアルゴンが使用されるが、窒素、水素等の他の原子もFABとして利用可能である。また、FABに代えて、イオンビーム等の他のエネルギー波により金属部や電極の洗浄が行われてもよい。
- [0095] 容器210、210a、210cは、必ずしも上記実施の形態に示す形状の部材の接着により形成される必要はなく、他の様々な形状を有する部材が接着されることにより形成されてもよい。例えば、それぞれキャビティ構造を有する2つの基板が、キャビティの開口部を互いに塞ぐように接着されて内部空間211が形成されてもよい。また、部材

同士の接着は、樹脂を主成分とする接着剤等により行われてもよい。

[0096] 半導体素子261の実装は上記以外の手法により行われてもよく、例えば、バンプ262と内部電極222とが当接した状態で、半導体素子261が押圧されつつ超音波振動が付与されることによりバンプ262と内部電極222とが接合されて実装されてもよい。また、複数の半導体素子261が実装される容器210、210a、210cの面は、上記実施の形態に示す組み合わせに限定されるわけではなく、適宜変更されてよい。すなわち、内部空間211の上面221、下面231および4つの側面241のうちの少なくとも一の面と他の一の面に電子素子を実装することにより、微小な電子素子の高密度配置が実現される。

[0097] 電子素子パッケージ201は、半導体素子以外の様々な種類の電子素子、例えばSAW(Surface Acoustic Wave:表面弾性波)フィルタ等を収納する電子素子パッケージとしても利用可能である。

[0098] 図16～図21には、電子素子パッケージ201cを例に採り、上蓋部材202の外表面に電子素子を実装するとともに、電子素子パッケージ201cを基板108上に実装した状態を示した。勿論、電子素子パッケージ201cに代えて、図7に示す電子素子パッケージ201、図10に示す電子素子パッケージ201a、及び図13に示す電子素子パッケージ201bを用いることもできる。

[0099] 図16では、上蓋部材202の外表面に半導体素子271を実装した状態を示し、図17では上蓋部材202の外表面にチップ部品272を実装した状態を示し、図18では図17の変形例として内部空間211にチップ部品272を配置した場合を示している。尚、半導体素子271及びチップ部品272は、第3電子素子に相当する。図19では、上蓋部材202の外表面に形成した電極から基板108の電極へ金線273へワイヤボンディングを施した状態を示している。図20及び図21では、電子素子パッケージ201c内に配線を施し、上蓋部材202に実装されている電子素子とキャビティ基板212に実装されている電子素子との電気的接続を図った場合を示している。即ち、図21に示すように、上蓋部材202における内部空間211側の面221には配線274を形成し、キャビティ基板212における内部空間211側の面231、及びキャビティ基板212の内側には配線275を形成する。又、上蓋部材202とキャビティ基板212とを接合する

金属層251とは分離して、配線用金属層276を形成する。該配線用金属層276は、金属層251の形成方法と同様に、上蓋部材202に形成した金属部2762とキャビティ基板212に形成した金属部2761とにFAB照射後、接合することで形成される。ここで、配線274は、金属部2762と接続され、配線275は金属部2761と接続される。よって、配線274と配線275とは、配線用金属層276を介して電氣的に接続される。

[0100] 上述した第3ー第6の実施形態も、半導体素子以外の様々な種類の電子素子のパッケージに利用可能であり、耐熱性が低く、かつ、耐湿性も低い電子素子に対しても利用可能である。

[0101] なお、上記様々な実施形態のうちの任意の実施形態を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

本発明は、添付図面を参照しながら好ましい実施形態に関連して十分に記載されているが、この技術の熟練した人々にとっては種々の変形や修正は明白である。そのような変形や修正は、添付した請求の範囲による本発明の範囲から外れない限りにおいて、その中に含まれると理解されるべきである。

#### 産業上の利用可能性

[0102] 本発明は、半導体素子及びその他の様々な種類の電子素子を収納する電子素子パッケージに利用可能である。

## 請求の範囲

- [1] 電子素子(71)と、  
上記電子素子を実装される第1容器部材(9)と、  
上記電子素子を収納する空間(90)を上記第1容器部材と共に形成する第2容器部材(2)と、  
上記第1容器部材及び上記第2容器部材を接合して上記空間を密閉する接着剤(3)と、  
上記接着剤の露出面を覆う金属膜(4)と、  
を備えた、パッケージされた電子素子。
- [2] 上記金属膜がメッキ層である、請求項1記載のパッケージされた電子素子。
- [3] 上記接着剤は、金属粒子(3b)を含む、請求項2記載のパッケージされた電子素子。
- [4] 上記第2容器部材は、樹脂材にて形成される、請求項1記載のパッケージされた電子素子。
- [5] 上記金属膜は、上記第2容器部材の外側表面を覆っている、請求項1記載のパッケージされた電子素子。
- [6] 上記第1容器部材は平坦な部材であり、上記第2容器部材は、上記第1容器部材を覆う凹部を有する、請求項1記載のパッケージされた電子素子。
- [7] 上記第2容器部材は、上記凹部の縁に設けられ上記接着剤を介して上記第1容器部材に接着される鍔部(21)を有する、請求項6記載のパッケージされた電子素子。
- [8] 上記空間内に吸湿剤(22)を設けた、請求項1記載のパッケージされた電子素子。
- [9] 電子素子を実装された第1容器部材(9)と、上記電子素子を収納する空間(90)を上記第1容器部材と共に形成する第2容器部材(2)とを接着剤(3)にて接合して上記空間を密閉し、  
上記接着剤の露出面を金属膜(4)にて覆う、電子素子パッケージの製造方法。
- [10] 電子素子(171)と、  
上記電子素子を実装される第1容器部材(109)と、  
上記電子素子を収納する空間(190)を上記第1容器部材と共に形成する第2容器

部材(102)と、

上記第1容器部材及び上記第2容器部材を接合して上記空間を密閉する金属層であって、上記第1容器部材の第1金属部(131)と上記第2容器部材の第2金属部(132)とにエネルギー波を照射して上記第1金属部及び上記第2金属部を互いに接触させることにより形成される金属層(103)と、  
を備えた、パッケージされた電子素子。

- [11] 上記金属層は金にてなる、請求項10記載のパッケージされた電子素子。
- [12] 上記第1容器部材又は上記第2容器部材は樹脂にてなる、請求項10記載のパッケージされた電子素子。
- [13] 電子素子が実装された第1容器部材(109)と、上記電子素子を収納する空間(190)を上記第1容器部材と共に形成する第2容器部材(102)とを、上記空間を密閉する金属層(103)にて接合するとき、  
上記第1容器部材の第1金属部(131)、及び上記第2容器部材の第2金属部(132)の表面にエネルギー波を照射し、  
上記エネルギー波が照射された上記第1金属部及び上記第2金属部を互いに接触させることにより上記金属層を形成する、電子素子パッケージの製造方法。
- [14] 上記エネルギー波の照射は、大気中で、室温以上150℃以下に上記第1金属部及び上記第2金属部を加熱して行う、請求項13記載の電子素子パッケージの製造方法。
- [15] 上記第1金属部及び上記第2金属部へのエネルギー波の照射並びに上記金属層の形成は、減圧又は不活性ガス環境下にて行われる、請求項13記載の電子素子パッケージの製造方法。
- [16] 第1内面(221)、該第1内面に対向する第2内面(231)、並びに上記第1内面及び上記第2内面に垂直な側面(241)にて密閉された内部空間(211)を形成する容器(210)と、  
上記第1内面、上記第2内面及び上記側面のいずれかの第1実装面(221)に実装される第1電子素子(261)と、  
上記第1内面、上記第2内面及び上記側面の内、上記第1実装面とは異なる第2実

装面(231)に実装される第2電子素子(261)と、

上記第1実装面に対向する上記容器の外面に形成され上記第1電子素子と電氣的に接続される第1外部電極(223)と、

上記第2実装面に対向する上記容器の外面に形成され上記第2電子素子と電氣的に接続される第2外部電極(233)と、  
を備えた、パッケージされた電子素子。

[17] 上記第1外部電極と電氣的に接続される第3電子素子(271、272)と、上記第2外部電極と電氣的に接続される基板(108)と、をさらに備えた、請求項16記載のパッケージされた電子素子。

[18] 上記容器は、  
凹部(213)を有し、該凹部の底面に上記第2電子素子を実装した本体部材(203、204、212)と、上記凹部の開口に取り付けられ上記第1電子素子を実装した第1蓋部材(202)とを有する、請求項16記載のパッケージされた電子素子。

[19] 上記本体部材は、上記側面を内側に有する筒状部材(204、212)と、上記筒状部材に取り付けられて上記底面を形成し上記第2電子素子を実装した第2蓋部材(203、212)とを有する、請求項18記載のパッケージされた電子素子。

[20] 上記本体部材及び上記第1蓋部材は樹脂にてなる、請求項18記載のパッケージされた電子素子。

[21] 上記本体部材と上記第1蓋部材とを接合して上記内部空間を密閉する金属層であって、上記本体部材及び上記第1蓋部材にそれぞれ形成した金属部(2511、2512)にエネルギー波を照射して両金属部を接触させて形成される金属層(251)をさらに有する、請求項18記載のパッケージされた電子素子。

[22] ビア(224)を形成した蓋部材(202)の第1実装面(221)に上記ビアと電氣的に接続される第1電子素子(261)を実装し、

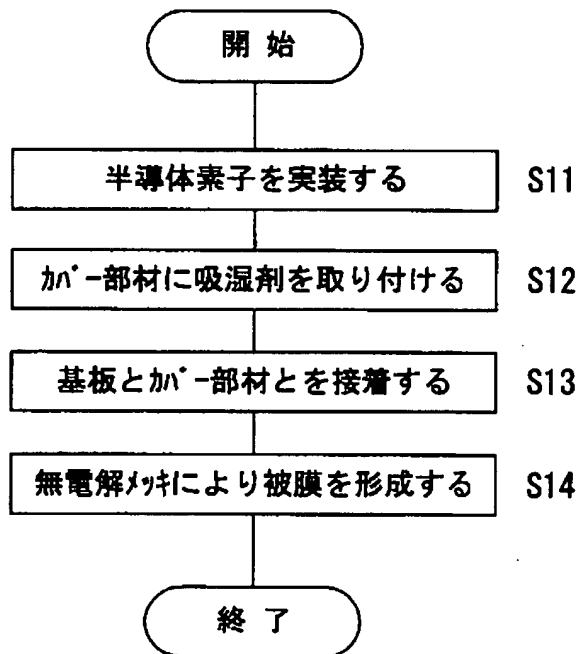
ビア(234)を形成し上記蓋部材とによって密閉された内部空間(211)を形成する本体部材(203、204、212)の第2実装面(231)に上記ビアと電氣的に接続される第2電子素子(261)を実装し、

上記第1電子素子及び上記第2電子素子が上記内部空間内に配置されるように上

記蓋部材と上記本体部材とを接合して上記内部空間を密閉した電子素子パッケージを形成する、電子素子パッケージの製造方法。

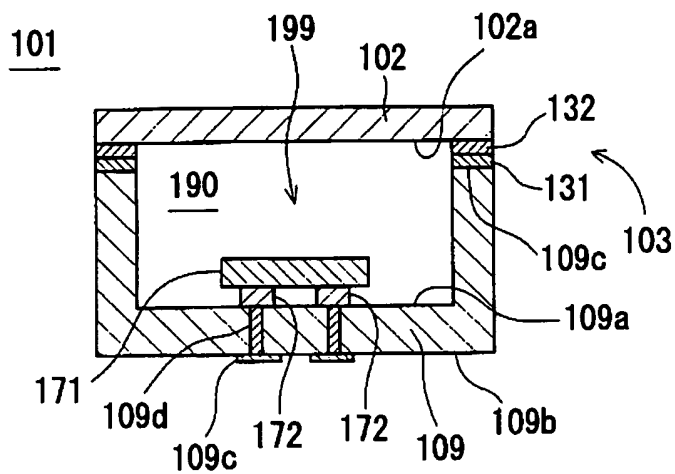
- [23]     上記蓋部材と上記本体部材との接合は、  
          上記蓋部材の上記第1実装面に形成した第1金属部(2512)、及び上記本体部材に形成した第2金属部(2511)へエネルギー波を照射し、  
          上記照射後、上記第1金属部及び上記第2金属部を接合することで上記蓋部材と上記本体部材とを接合して上記内部空間を密閉した電子素子パッケージを形成する、請求項22記載の電子素子パッケージの製造方法。
- [24]     上記エネルギー波の照射は、減圧又は不活性ガス環境下にて行う、請求項23記載の電子素子パッケージの製造方法。
- [25]     上記エネルギー波の照射は、大気中で、室温以上150℃以下に上記第1金属部及び上記第2金属部を加熱して行う、請求項23記載の電子素子パッケージの製造方法。
- [26]     上記ビアと、上記第1電子素子及び上記第2電子素子との電氣的接続は、上記ビア、並びに、上記第1電子素子及び上記第2電子素子の電極にエネルギー波を照射し、照射後、上記ビアと、上記第1電子素子及び上記第2電子素子とを接触させてなされる、請求項22記載の電子素子パッケージの製造方法。
- [27]     上記ビアと、上記第1電子素子及び上記第2電子素子との電氣的接続は、上記ビアと、上記第1電子素子及び上記第2電子素子の電極との間に、硬化性を有する異方導電性又は非導電性の樹脂を設けてなされる、請求項22記載の電子素子パッケージの製造方法。

1

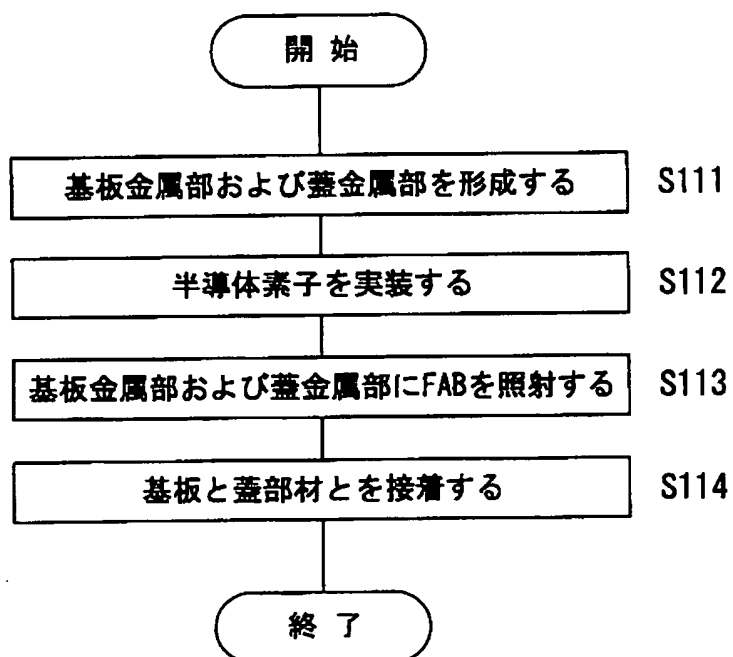




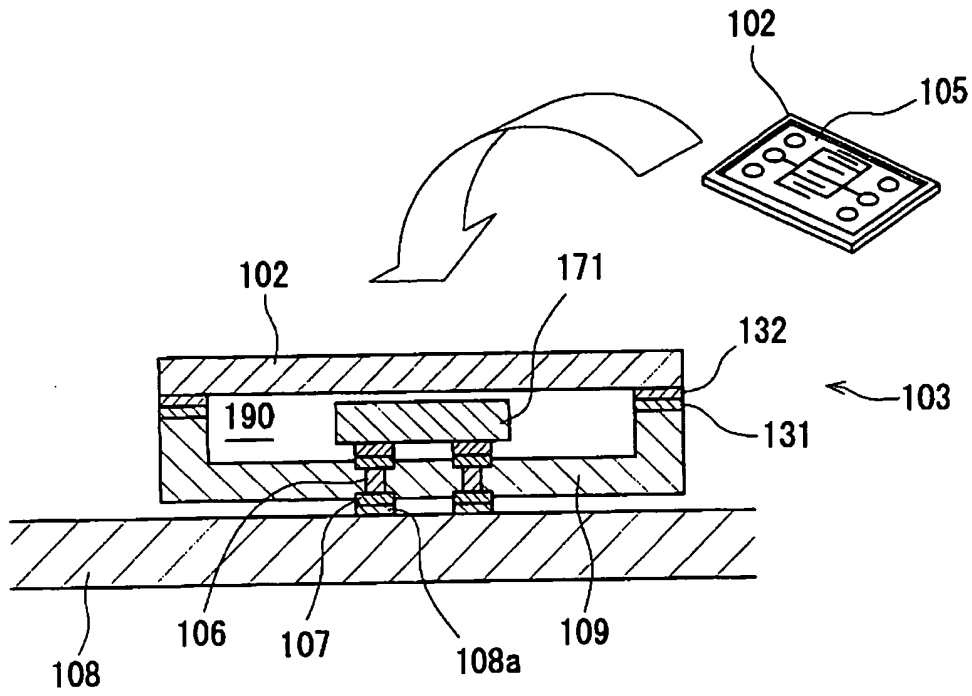
[図3]



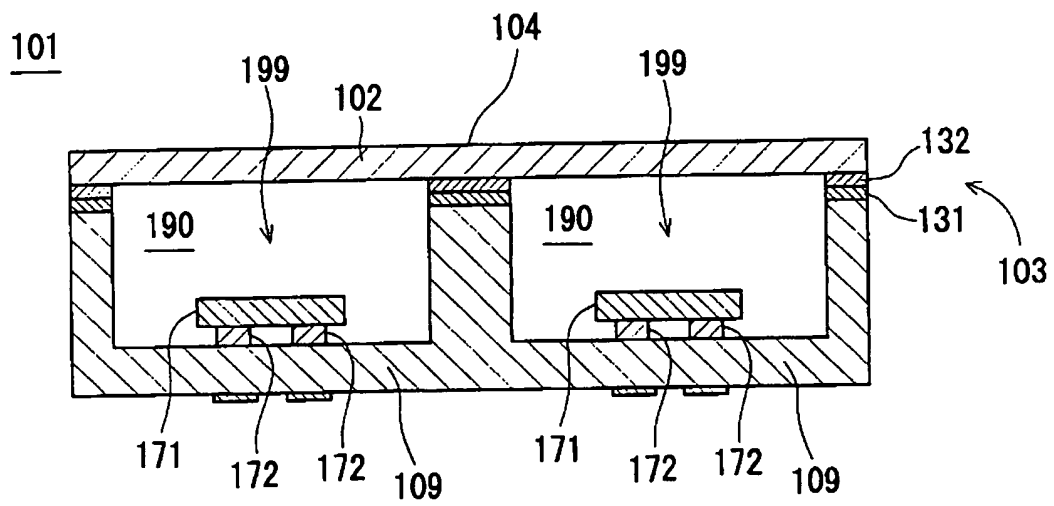
[図4]



[図5]

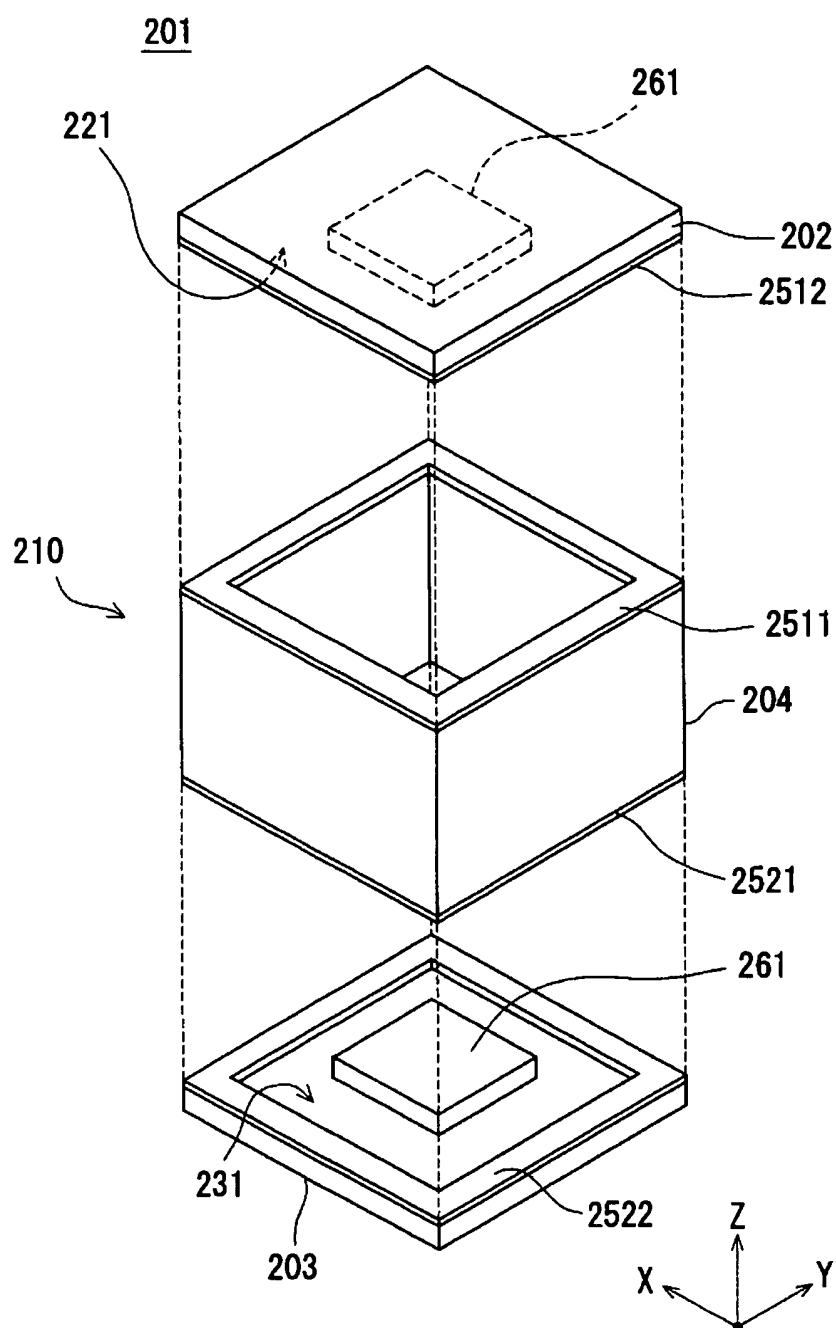


[図6]

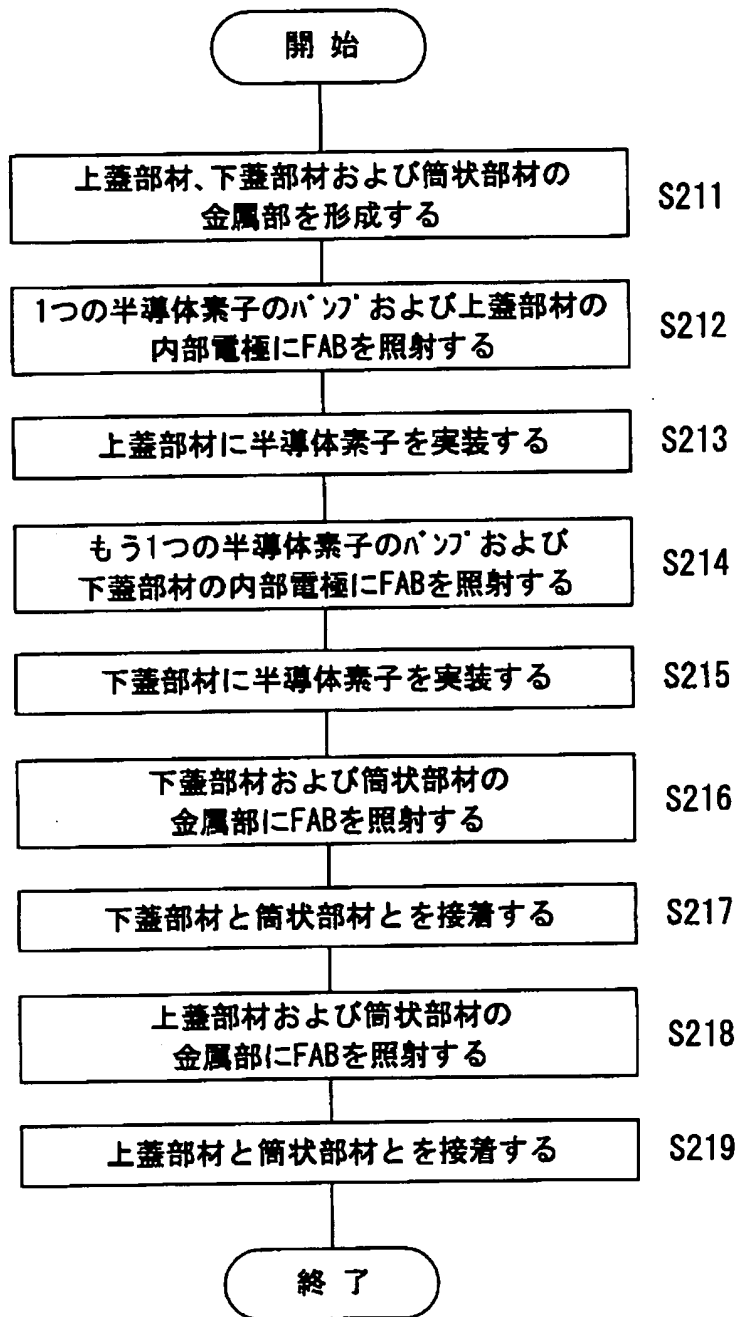




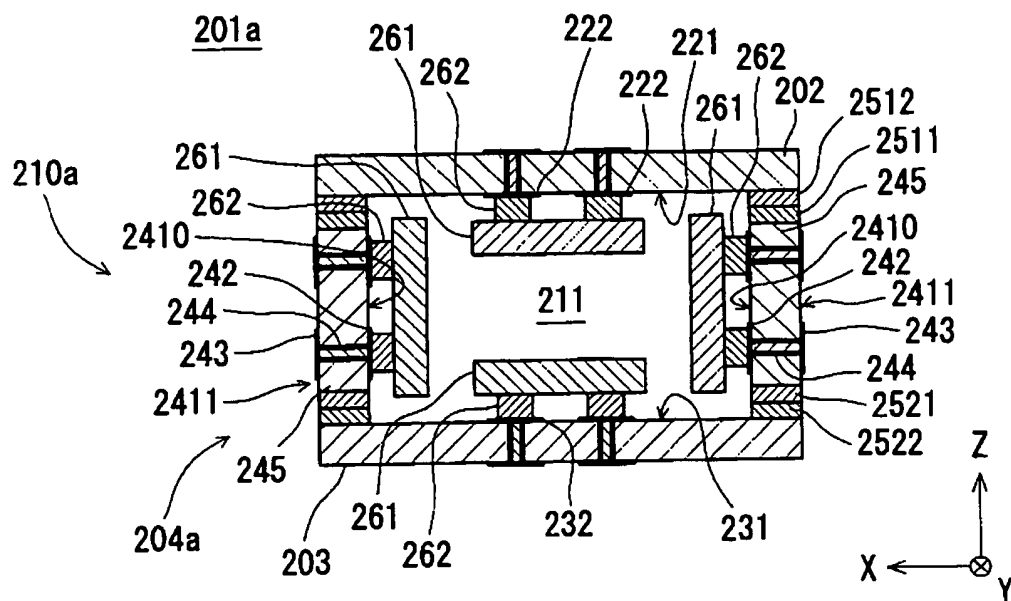
[図8]



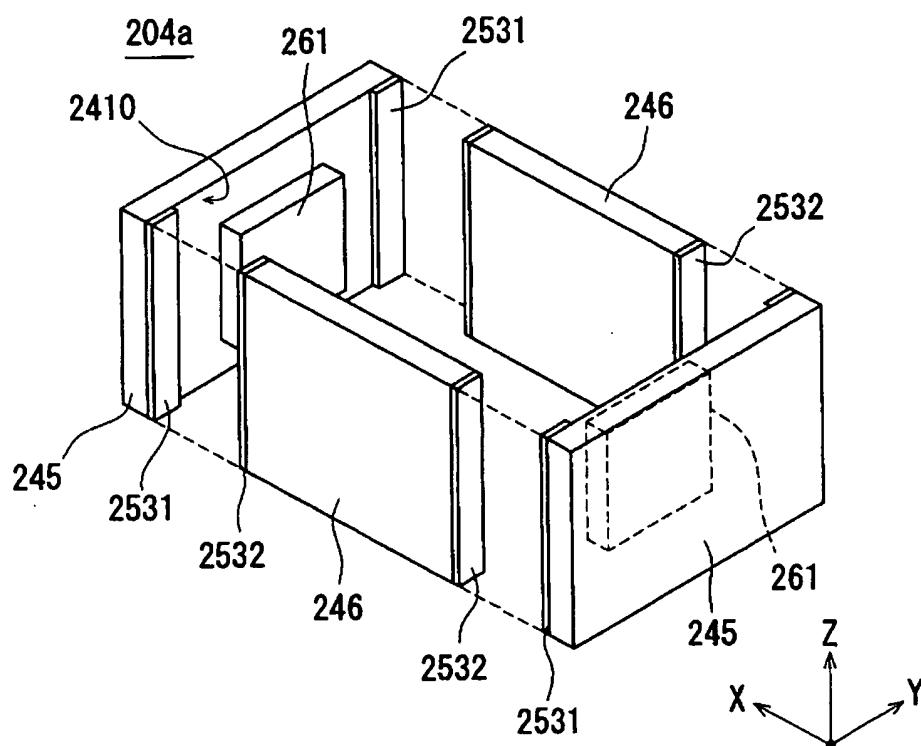
[図9]



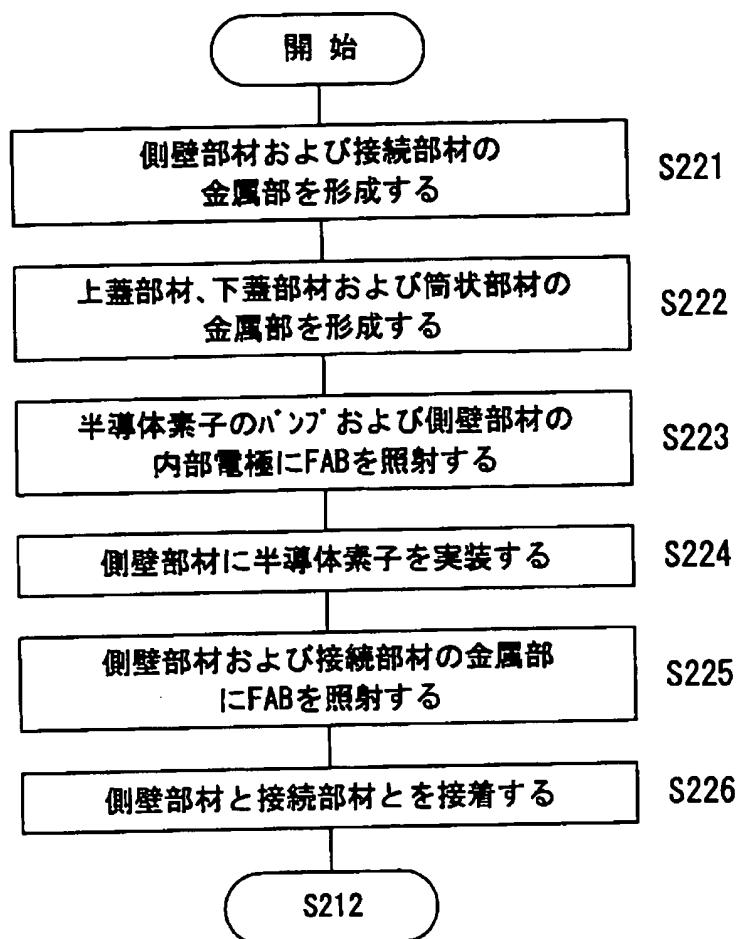
[図10]



[図11]

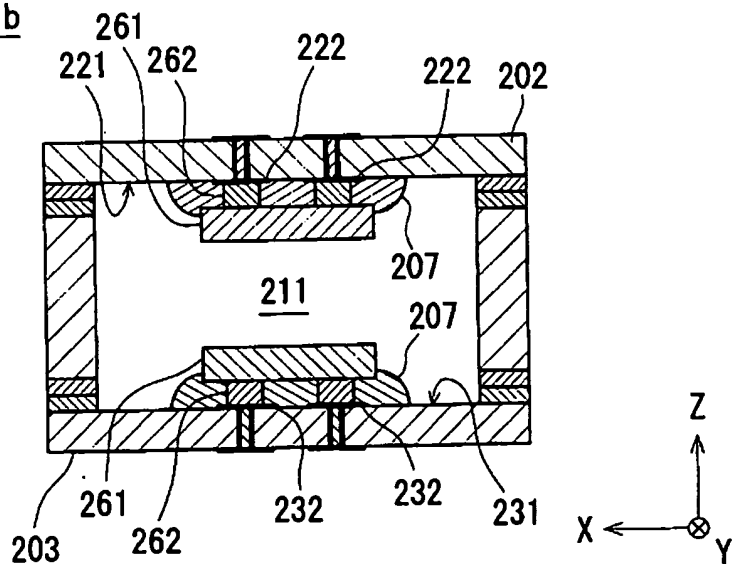


[図12]

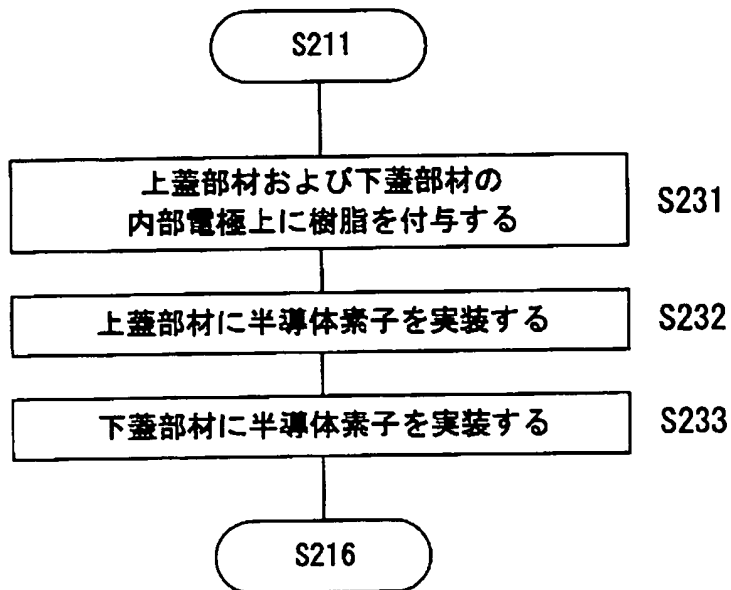


[図13]

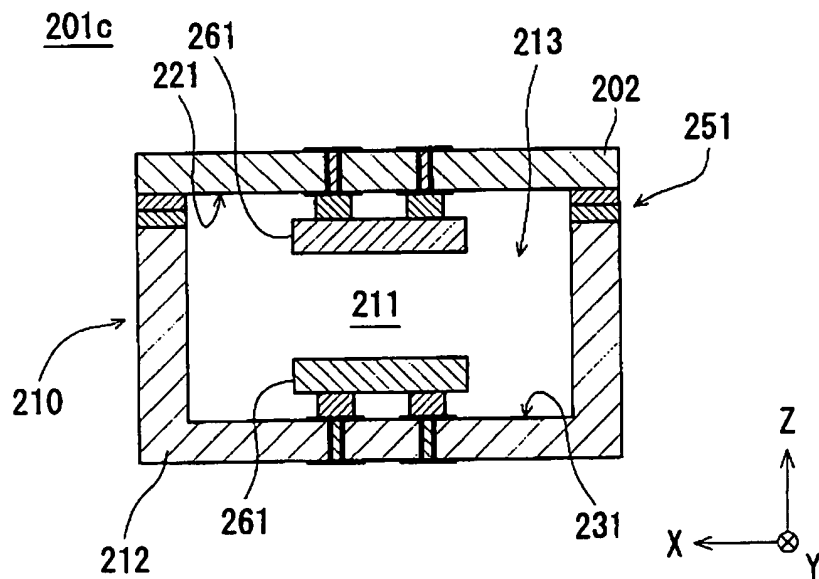
201b



[図14]



[図15]

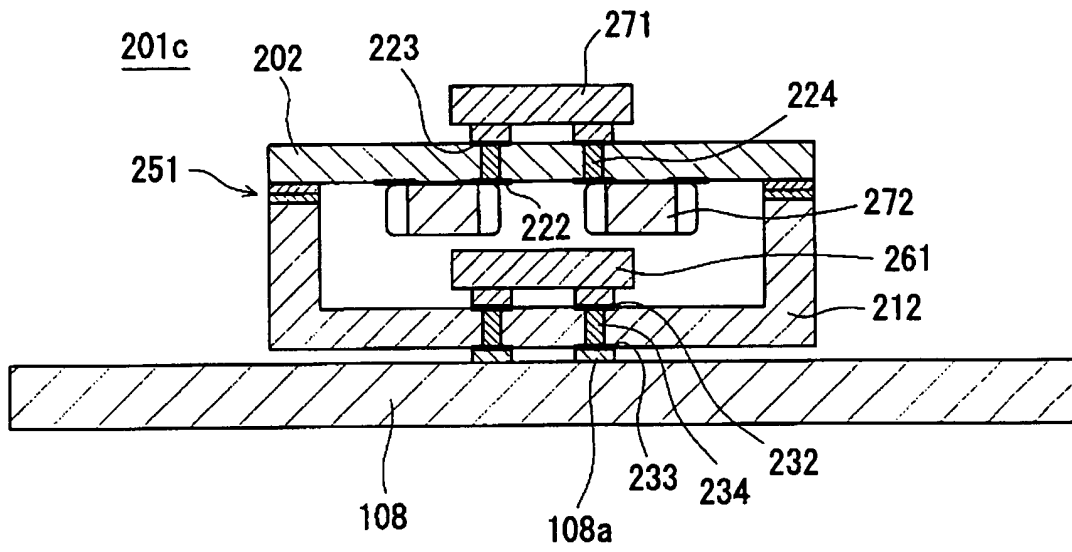




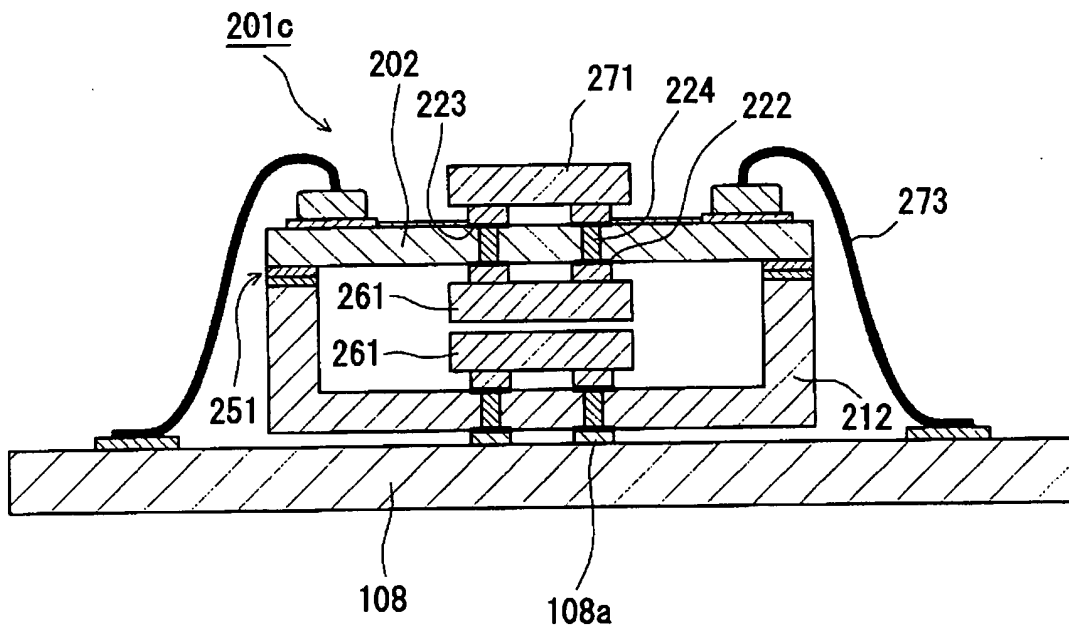
A cross-sectional view of a semiconductor device 201c. The device is built on a substrate 108. A central region 211 is surrounded by a layer 212. Above the central region, there are two stacked layers 222 and 223, with a layer 224 in between. A top layer 271 is on top of 223. The device is connected to a base 108a via contacts 232, 233, and 234. A layer 251 is on the left side, and a layer 261 is on the right side.

A cross-sectional view of a semiconductor device assembly 201c. The assembly includes a substrate 108 with a layer 108a on its top surface. A central component 202 is mounted on the substrate. It is secured by two screws 272 passing through a top plate 224 and a bottom plate 223. The central component 202 is flanked by two side plates 261. A layer 251 is located between the side plates 261 and the substrate 108. The entire assembly is mounted on a base 212. Labels 232, 233, and 234 point to the bottom plate 223, the side plates 261, and the screws 272, respectively.

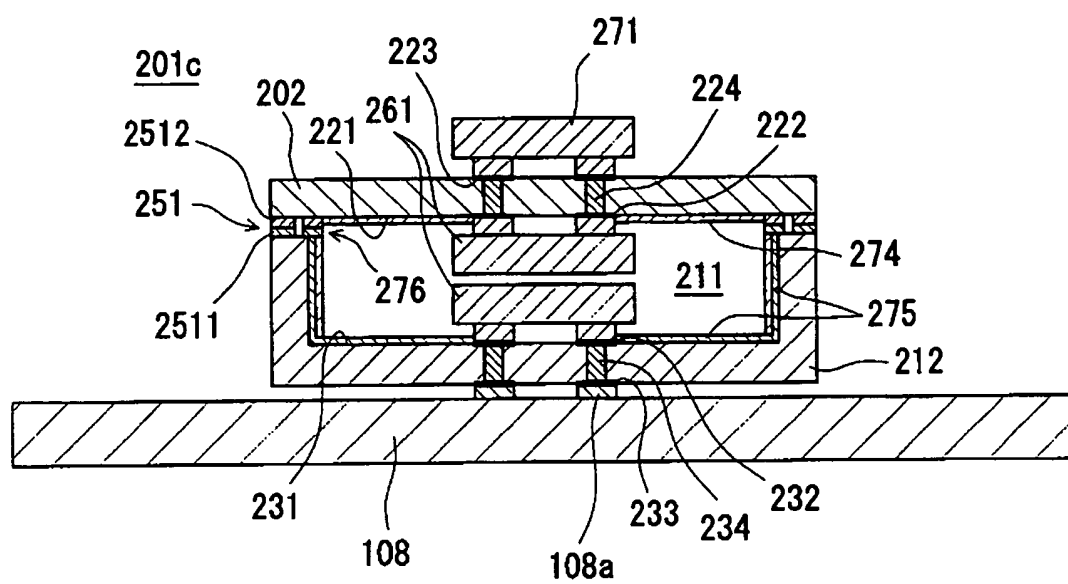
[図18]



[図19]



[図20]



[図21]

